

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Hi-choon LEE :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: February 9, 2004 : Attorney Docket No. SEC.1108
For: SEMICONDUCTOR MEMORY DEVICE HAVING HIGH-SPEED INPUT/OUTPUT
ARCHITECTURE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under
the International Convention of the following Korean application:

Appln. No. 10-2003-0008207 filed February 10, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 9, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0008207
Application Number

출원년월일 : 2003년 02월 10일
Date of Application

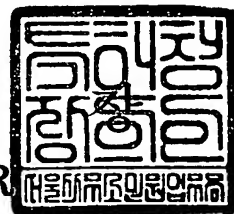
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.10
【국제특허분류】	H01L
【발명의 명칭】	고속의 기입 및 독출동작을 가능하게 하는 입출력 구조를 갖는 반도체 메모리장치
【발명의 영문명칭】	Semiconductor memory device having input output architecture capable of increasing write and read operation speed
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	이희춘
【성명의 영문표기】	LEE,Hi Choon
【주민등록번호】	650425-1011740
【우편번호】	449-903
【주소】	경기도 용인시 기흥읍 구갈리 세종리젠시빌 2-3BL 203-201
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 4 항 237,000 원

【합계】 266,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

고속의 기입 및 독출동작을 가능하게 하는 입출력 구조를 갖는 반도체 메모리장치가 개시된다. 주파수 분주기가 외부클럭을 2분주하여 짝수 데이터 페치용 클럭 및 이와 위상이 반대인 홀수 데이터 페치용 클럭을 발생한다. 칼럼선택라인 인에이블 제어회로는 상기 짝수 데이터 페치용 클럭에 응답하여 짝수번째 칼럼선택라인 인에이블 신호들을 발생하고 상기 홀수 데이터 페치용 클럭에 응답하여 홀수번째 칼럼선택라인 인에이블 신호들을 발생한다. 스위칭 회로는 상기 짝수번째 칼럼선택라인 인에이블 신호들에 응답하여 비트라인 쌍을 짝수번째 입출력라인 쌍으로 연결하고 상기 홀수번째 칼럼선택라인 인에이블 신호들에 응답하여 상기 비트라인 쌍을 홀수번째 입출력라인 쌍으로 연결한다. 입출력라인 감지증폭 회로는 상기 짝수 데이터 페치용 클럭에 응답하여 상기 짝수번째 입출력라인 쌍의 데이터를 감지증폭하여 데이터 라인 쌍으로 출력하고 상기 홀수 데이터 페치용 클럭에 응답하여 상기 홀수번째 입출력라인 쌍의 데이터를 감지증폭하여 상기 데이터 라인 쌍으로 출력한다.

【대표도】

도 3



【명세서】

【발명의 명칭】

고속의 기입 및 독출동작을 가능하게 하는 입출력 구조를 갖는 반도체 메모리장치
{Semiconductor memory device having input output architecture capable of increasing
write and read operation speed}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래기술에 따른 입출력 구조를 갖는 반도체 메모리장치를 나타내는 도면이다.

도 2는 도 1에 도시된 반도체 메모리장치에서의 독출동작 타이밍도이다.

도 3은 본 발명의 일실시예에 따른 입출력 구조를 갖는 반도체 메모리장치를 나타내는 도면이다.

도 4는 도 3에 도시된 반도체 메모리장치에서의 독출동작 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 고속의 기입 및 독출동작을 가능하게 하는 입출력 구조에 관한 것이다.



- <7> 반도체 메모리장치 특히 디램에서는 고속의 기입 및 독출동작을 구현하기 위해 데이터의 입출력 속도를 향상시키는 것이 필요하다. 그런데 디램의 경우 데이터 입출력 구조가 프리페치(Prefetch) 형태로 구성되는 것이 일반적이다.
- <8> 프리페치 형태에서는, 독출동작시에는 디램의 메모리 코아(Core)에서 멀티 비트(Multi-bit)의 데이터가 동시에 저속 병렬로 독출되고 외부로 출력시에는 고속 직렬로 출력되며, 기입동작시에는 외부에서 고속 직렬로 데이터가 입력되어 메모리 코아에 저속 병렬로 기입된다.
- <9> 그런데 이러한 동작 방식에서는 동작속도를 더 높이기 위해서는 병렬 액세스해야하는 프리페치 셀의 개수를 증가시켜야 하는데, 이로 인하여 잡음이 증가하거나 또는 랜덤(Random)한 칼럼선택에 제약이 되어 특정한 동작에서는 오히려 효율을 감소시키는 결과를 초래할 수 있다.
- <10> 도 1은 종래기술에 따른 입출력 구조를 갖는 반도체 메모리장치를 나타내는 도면이고 도 2는 도 1에 도시된 반도체 메모리장치에서의 독출동작 타이밍도이다.
- <11> 도 1 및 도 2를 참조하면, 종래기술에서는 칼럼 어드레스 디코더(11)가 메모리장치의 외부에서 입력되는 칼럼 어드레스(ADD)를 디코드하여 그 결과를 칼럼선택라인 인에이블 제어회로(12)에 제공한다. 칼럼선택라인 인에이블 제어회로(12)는 상기 디코드된 결과를 받아 클럭(CLK)에 응답하여 칼럼선택라인 인에이블 신호들(CSLi, CSLj, ..., CSLk)을 발생한다.

- <12> 스위칭 회로(13)는 칼럼선택라인 인에이블 신호들(CSLi, CSLj, ..., CSLk)에 응답하여 메모리셀 어레이(10) 내의 메모리셀들(MCi, MCj, ..., MCK)에 연결된 비트라인 쌍(BLi, BLj, ..., BLk)을 선택적으로 입출력라인 쌍(IO)으로 연결한다.
- <13> 입출력라인 감지증폭 회로(IOSA)(14A)는 독출동작시 클럭(CLK)에 응답하여 입출력라인 쌍(IO)의 데이터를 감지증폭하여 데이터 라인 쌍(DIO)으로 출력하고 데이터 라인 쌍(DIO)의 데이터는 입출력 버퍼(16)를 통해 입출력핀(DQ)으로 출력된다. 프리차지 회로(15)는 클럭(CLK)의 하강에지에 응답하여 입출력라인 쌍(IO)을 프리차지시킨다.
- <14> 기입동작시에는 라이트 드라이버(DRV)(14B)가 입출력 버퍼(16)를 통해 입력된 데이터 라인 쌍(DIO)의 데이터를 받아 클럭(CLK)에 응답하여 입출력라인 쌍(IO)으로 전달한다. 입출력라인 쌍(IO)의 데이터는 스위칭 회로(13)를 통해 메모리셀들(MCi, MCj, ..., MCK)에 기입된다.
- <15> 한편 여기에는 도시되지 않았지만 고속 입출력 동작을 위해 여러 비트의 데이터를 동시에 병렬로 독출한 후 이 병렬 데이터를 직렬로 변환하는 레지스터를 입출력 버퍼(16) 부분에 구비하여 사용할 수도 있다.
- <16> 상기 종래기술에 따른 입출력 구조를 갖는 반도체 메모리장치에서는 독출동작시 다음 독출동작 이전까지 입출력라인 쌍에 대한 등화 및 프리차지가 이루어져야 하므로 실제로 입출력라인 쌍에 대한 디벨럽(Develop) 및 프리차지는 클럭(CLK)의 1주기 내에 이루어져야 한다. 그런데, 반도체 메모리장치의 고집적화 경향에 따라 입출력라인 쌍(IO)의 부하는 점점 더 증가하고 또한 반도체 메모리장치의 입출력 동작을 고속화함에 따라 클럭(CLK)의 1주기 내에 입출력라인 쌍에 대한 디벨럽(Develop) 및 프리차지를 하는 것



이 점점 더 어려워지고 있다. 즉 상기 종래기술에 따른 입출력 구조를 갖는 반도체 메모리장치에서는 기입 및 독출동작 속도를 향상시키는 데 제한이 있는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 따라서 본 발명이 이루고자 하는 기술적 과제는, 고속의 기입 및 독출동작을 가능하게 하는 입출력 구조를 갖는 반도체 메모리장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<18> 상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리장치는, 주파수 분주기, 칼럼선택라인 인에이블 제어회로, 스위칭 회로, 입출력라인 감지증폭 회로, 칼럼 어드레스 디코더, 라이트 드라이버, 제1프리차지 회로, 및 제2프리차지 회로를 구비한다.

<19> 상기 주파수 분주기는 외부클럭을 2분주하여 짝수 데이터 폐치용 클럭 및 이와 위상이 반대인 홀수 데이터 폐치용 클럭을 발생한다.

<20> 상기 칼럼선택라인 인에이블 제어회로는 상기 짝수 데이터 폐치용 클럭에 응답하여 짝수번째 칼럼선택라인 인에이블 신호들을 발생하고 상기 홀수 데이터 폐치용 클럭에 응답하여 홀수번째 칼럼선택라인 인에이블 신호들을 발생한다.

<21> 상기 스위칭 회로는 상기 짝수번째 칼럼선택라인 인에이블 신호들에 응답하여 비트라인 쌍을 짝수번째 입출력라인 쌍으로 연결하고 상기 홀수번째 칼럼선택라인 인에이블 신호들에 응답하여 상기 비트라인 쌍을 홀수번째 입출력라인 쌍으로 연결한다.

<22> 상기 입출력라인 감지증폭 회로는 상기 짝수 데이터 폐치용 클럭에 응답하여 상기 짝수번째 입출력라인 쌍의 데이터를 감지증폭하여 데이터 라인 쌍으로 출력하



고 상기 홀수 데이터 페치용 클럭에 응답하여 상기 홀수번째 입출력라인 쌍의 데이터를 감지증폭하여 상기 데이터 라인 쌍으로 출력한다.

<23> 상기 칼럼 어드레스 디코더는 상기 반도체 메모리장치의 외부에서 입력되는 칼럼 어드레스를 디코드하여 그 결과를 상기 칼럼선택라인 인에이블 제어회로에 제공한다.

<24> 상기 라이트 드라이버는 상기 짝수 데이터 페치용 클럭에 응답하여 상기 데이터 라인 쌍의 짝수 데이터를 받아 상기 짝수번째 입출력라인 쌍으로 전달하고 상기 홀수 데이터 페치용 클럭에 응답하여 상기 데이터 라인 쌍의 홀수 데이터를 받아 상기 홀수번째 입출력라인 쌍으로 전달한다.

<25> 상기 제1프리차지 회로는 상기 짝수 데이터 페치용 클럭에 응답하여 상기 짝수번째 입출력라인 쌍을 프리차지시키고 상기 제2프리차지 회로는 상기 홀수 데이터 페치용 클럭에 응답하여 상기 홀수번째 입출력라인 쌍을 프리차지시킨다.

<26> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<27> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<28> 도 3은 본 발명의 일실시예에 따른 입출력 구조를 갖는 반도체 메모리장치를 나타내는 도면이고 도 4는 도 3에 도시된 반도체 메모리장치에서의 독출동작 타이밍도이다.



- <29> 도 3을 참조하면, 본 발명에 따른 반도체 메모리장치는, 메모리셀들 (MC_i, MC_j, \dots, MC_k)을 포함하는 메모리셀 어레이(30), 주파수 분주기(31), 칼럼 어드레스 디코더(32), 칼럼선택라인 인에이블 제어회로(33), 스위칭 회로(34), 입출력라인 감지증폭 회로 및 라이트 드라이버(35), 제1 및 제2프리차지 회로(36,37), 및 입출력 버퍼(38)를 구비한다.
- <30> 주파수 분주기(31)는 외부에서 인가되는 클럭(CLK)을 2분주하여 짝수 데이터 페치용 클럭($CLK(E)$) 및 이와 위상이 반대인 홀수 데이터 페치용 클럭($CLK(O)$)을 발생한다. 칼럼 어드레스 디코더(32)는 반도체 메모리장치의 외부에서 입력되는 칼럼 어드레스(ADD)를 디코드하여 그 결과를 칼럼선택라인 인에이블 제어회로(33)에 제공한다.
- <31> 칼럼선택라인 인에이블 제어회로(33)는 상기 디코드된 결과를 받아, 짝수 데이터 페치용 클럭($CLK(E)$)에 응답하여 짝수번째 칼럼선택라인 인에이블 신호들 ($CSLi(E), CSLj(E), \dots, CSLk(E)$)을 발생하고 홀수 데이터 페치용 클럭($CLK(O)$)에 응답하여 홀수번째 칼럼선택라인 인에이블 신호들($CSLi(O), CSLj(O), \dots, CSLk(O)$)을 발생한다.
- <32> 스위칭 회로(34)는 짝수번째 칼럼선택라인 인에이블 신호들($CSLi(E), CSLj(E), \dots, CSLk(E)$)에 응답하여, 메모리셀들(MC_i, MC_j, \dots, MC_k)에 연결된 비트라인 쌍 (BLi, BLj, \dots, BLk)을 짝수번째 입출력라인 쌍($IO(E)$)으로 연결하고 홀수번째 칼럼선택라인 인에이블 신호들($CSLi(O), CSLj(O), \dots, CSLk(O)$)에 응답하여 상기 비트라인 쌍 (BLi, BLj, \dots, BLk)을 홀수번째 입출력라인 쌍($IO(O)$)으로 연결한다.
- <33> 스위칭 회로(34)는 스위치 트랜지스터들($Mi(E), Mj(E), \dots, Mk(E)$) 및 스위치 트랜지스터들($Mi(O), Mj(O), \dots, Mk(O)$)을 구비한다. 스위치 트랜지스터들($Mi(E), Mj(E), \dots, Mk(E)$)은 짝수번째 칼럼선택라인 인에이블 신호들($CSLi(E), CSLj(E), \dots, CSLk(E)$)에 응



답하여 비트라인 쌍(BL_i, BL_j, \dots, BL_k)을 짝수번째 입출력라인 쌍($IO(E)$)으로 연결한다. 스위치 트랜지스터들($M_i(0), M_j(0), \dots, M_k(0)$)은 홀수번째 칼럼선택라인 인에이블 신호들($CSL_i(0), CSL_j(0), \dots, CSL_k(0)$)에 응답하여 상기 비트라인 쌍(BL_i, BL_j, \dots, BL_k)을 홀수번째 입출력라인 쌍($IO(0)$)으로 연결한다.

<34> 제1프리차지 회로(36)는 프리차지 트랜지스터(361) 및 프리차지 제어회로(362)를 포함하여 구성되며 짝수 데이터 페치용 클럭($CLK(E)$)에 응답하여 짝수번째 입출력라인 쌍($IO(E)$)을 프리차지시킨다. 제2프리차지 회로(37)는 프리차지 트랜지스터(371) 및 프리차지 제어회로(372)를 포함하여 구성되며 홀수 데이터 페치용 클럭($CLK(0)$)에 응답하여 홀수번째 입출력라인 쌍($IO(0)$)을 프리차지시킨다.

<35> 입출력라인 감지증폭 회로 및 라이트 드라이버(35)는 짝수 데이터용 입출력라인 감지증폭 회로($IOSA(E)$)(351A), 짝수 데이터용 라이트 드라이버($DRV(E)$)(351B), 홀수 데이터용 입출력라인 감지증폭 회로($IOSA(0)$)(352A), 및 홀수 데이터용 라이트 드라이버($DRV(0)$)(352B)를 구비한다.

<36> 독출동작시 짝수 데이터용 입출력라인 감지증폭 회로(351A)는 짝수 데이터 페치용 클럭($CLK(E)$)에 응답하여 짝수번째 입출력라인 쌍($IO(E)$)의 데이터를 감지증폭하여 데이터 라인 쌍(DIO)으로 출력한다. 홀수 데이터용 입출력라인 감지증폭 회로(352A)는 홀수 데이터 페치용 클럭($CLK(0)$)에 응답하여 홀수번째 입출력라인 쌍($IO(0)$)의 데이터를 감지증폭하여 데이터 라인 쌍(DIO)으로 출력한다. 데이터 라인 쌍(DIO)의 데이터는 입출력 버퍼(38)를 통해 입출력핀(DQ)으로 출력된다.

<37> 기입동작시 짝수 데이터용 라이트 드라이버(351B)는 짝수 데이터 페치용 클럭($CLK(E)$)에 응답하여 데이터 라인 쌍(DIO)의 짝수 데이터를 받아 짝수번째 입출력라인

쌍(IO(E))으로 전달한다. 홀수 데이터용 라이트 드라이버(352B)는 홀수 데이터 페치용 클럭(CLK(0))에 응답하여 데이터 라인 쌍(DIO)의 홀수 데이터를 받아 홀수번째 입출력라인 쌍(IO(0))으로 전달한다.

<38> 이상에서 설명한 바와 같이 본 발명에 따른 반도체 메모리장치에서는, 외부클럭(CLK)을 2분주하여 주기가 2배인 짝수 데이터 페치용 클럭(CLK(E)) 및 홀수 데이터 페치용 클럭(CLK(0))이 발생되고 또한 이 두 개의 클럭들(CLK(E), CLK(0))에 대응하는 두 개의 입출력라인 쌍들(IO(E), IO(0))이 구비됨으로써 선택적인 동작(Alternative operation)에 의해 데이터 전송속도가 증가된다.

<39> 좀더 설명하면 종래기술과는 달리 본 발명에 따른 반도체 메모리장치에서는 짝수번째 입출력라인 쌍(IO(E))에 대한 디벨럽(Develop) 및 프리차지가 완료되지 않은 상태에서 또 다른 칼럼 어드레스를 받아 들이더라도 동작이 가능하다.

<40> 즉, 짝수번째 입출력라인 쌍(IO(E))에 대한 디벨럽 후 프리차지가 진행되는 동안에 또 다른 칼럼 어드레스가 입력되면, 홀수 데이터 페치용 클럭(CLK(0))에 응답하여 홀수번째 칼럼선택라인 인에이블 신호들(CSLi(0), CSLj(0), ..., CSLk(0))중 하나가 인에이블된다. 이에 따라 스위치 트랜지스터들(Mi(0), Mj(0), ..., Mk(0))중 하나가 턴온되고 비트라인 쌍들(BLi, BLj, ..., BLk)중 하나가 홀수번째 입출력라인 쌍(IO(0))으로 연결되어 홀수번째 입출력라인 쌍(IO(0))에 대한 디벨럽이 동시에 수행된다.

<41> 따라서 본 발명에 따른 반도체 메모리장치에서는 기입 및 독출동작 속도가 빨라진다. 또한 상기 선택적인 동작(Alternative operation)에 의해 잡음 분산 효과를 기대할 수 있으며 이에 따라 잡음에 기인하는 속도 열화(speed degradation)을 방지할 수 있다.

<42> 이상 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<43> 상술한 바와 같이, 본 발명에 따른 반도체 메모리장치에서는 기입 및 독출동작 속도가 빨라진다. 또한 상기 선택적인 동작(Alternative operation)에 의해 잡음 분산 효과를 기대할 수 있으며 이에 따라 잡음에 기인하는 속도 열화(speed degradation)을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

외부클럭에 동기되어 데이터를 리드 및 독출하는 반도체 메모리장치에 있어서,

상기 외부클럭을 2분주하여 짝수 데이터 페치용 클럭 및 이와 위상이 반대인 홀수 데이터 페치용 클럭을 발생하는 주파수 분주기;

상기 짝수 데이터 페치용 클럭에 응답하여 짝수번째 칼럼선택라인 인에이블 신호들을 발생하고 상기 홀수 데이터 페치용 클럭에 응답하여 홀수번째 칼럼선택라인 인에이블 신호들을 발생하는 칼럼선택라인 인에이블 제어회로;

상기 짝수번째 칼럼선택라인 인에이블 신호들에 응답하여 비트라인 쌍을 짝수번째 입출력라인 쌍으로 연결하고 상기 홀수번째 칼럼선택라인 인에이블 신호들에 응답하여 상기 비트라인 쌍을 홀수번째 입출력라인 쌍으로 연결하는 스위칭 회로; 및

상기 짝수 데이터 페치용 클럭에 응답하여 상기 짝수번째 입출력라인 쌍의 데이터를 감지증폭하여 데이터 라인 쌍으로 출력하고 상기 홀수 데이터 페치용 클럭에 응답하여 상기 홀수번째 입출력라인 쌍의 데이터를 감지증폭하여 상기 데이터 라인 쌍으로 출력하는 입출력라인 감지증폭 회로를 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 2】

제1항에 있어서,

상기 반도체 메모리장치의 외부에서 입력되는 칼럼 어드레스를 디코딩하여 그 결과를 상기 칼럼선택라인 인에이블 제어회로에 제공하는 칼럼 어드레스 디코더를 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 3】

제1항에 있어서,

상기 짝수 데이터 폐치용 클럭에 응답하여 상기 데이터 라인 쌍의 짝수 데이터를 받아 상기 짝수번째 입출력라인 쌍으로 전달하고 상기 홀수 데이터 폐치용 클럭에 응답하여 상기 데이터 라인 쌍의 홀수 데이터를 받아 상기 홀수번째 입출력라인 쌍으로 전달하는 라이트 드라이버를 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

【청구항 4】

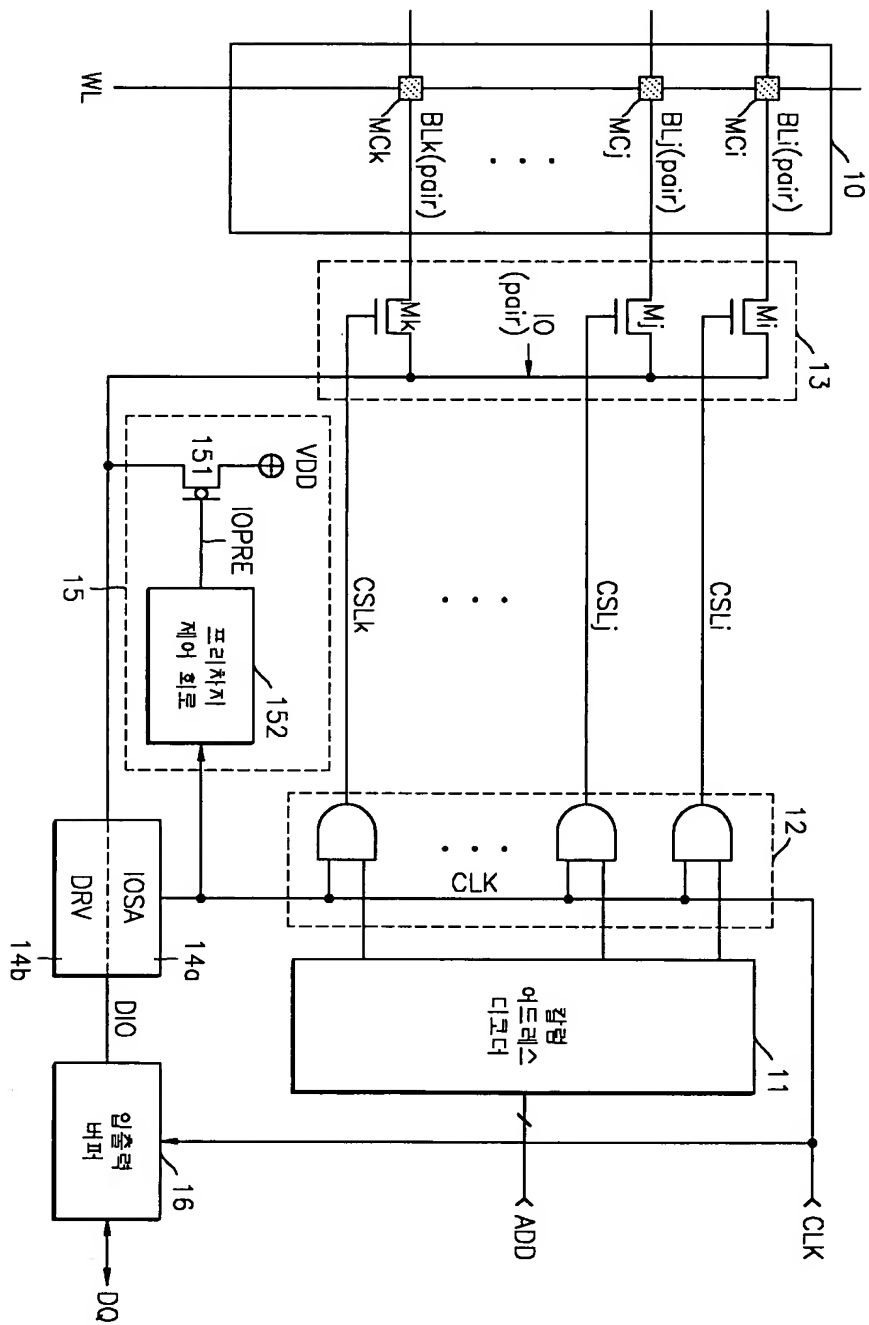
제1항에 있어서,

상기 짝수 데이터 폐치용 클럭에 응답하여 상기 짝수번째 입출력라인 쌍을 프리차지시키는 제1프리차지 회로; 및

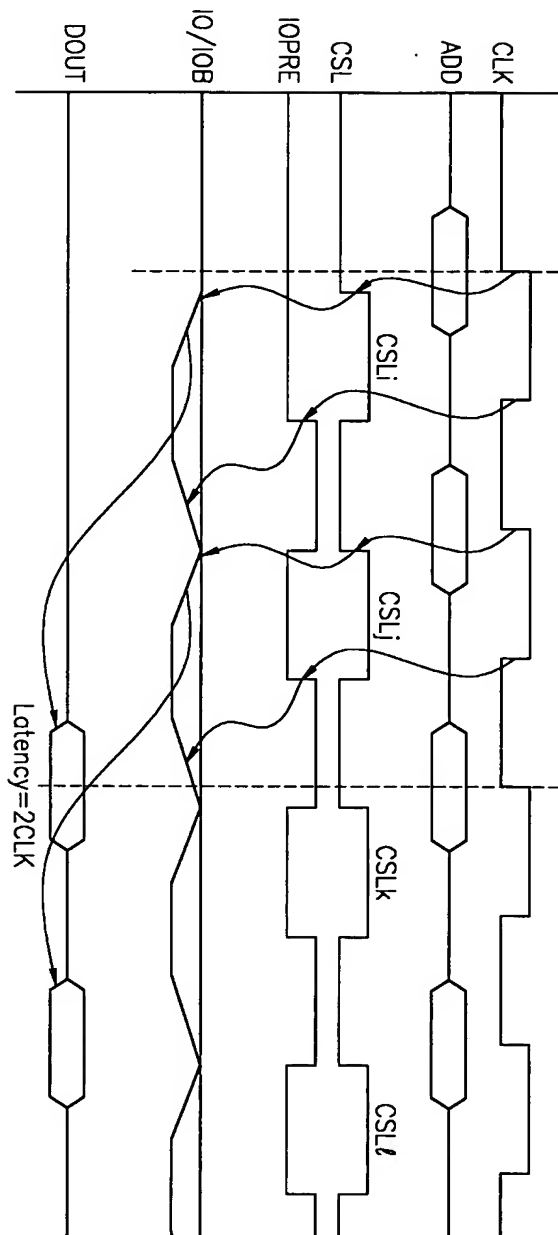
상기 홀수 데이터 폐치용 클럭에 응답하여 상기 홀수번째 입출력라인 쌍을 프리차지시키는 제2프리차지 회로를 구비하는 것을 특징으로 하는 반도체 메모리장치.

【도면】

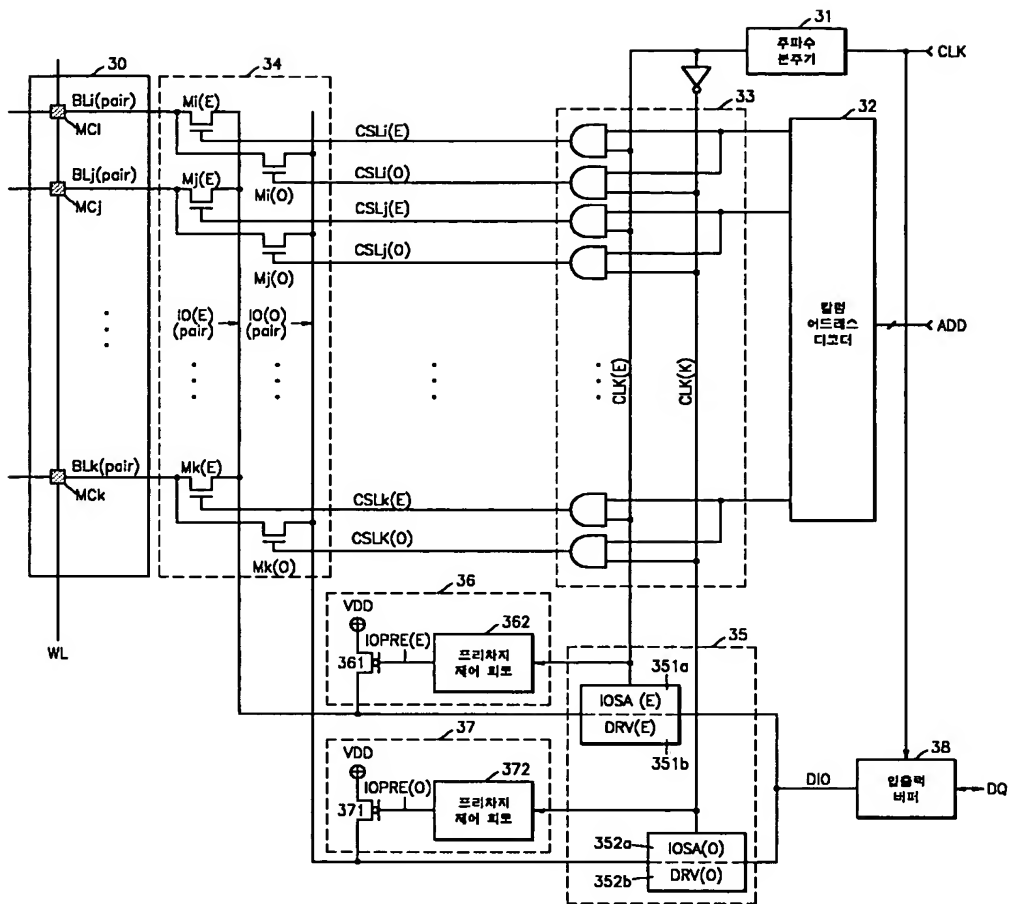
【도 1】



【도 2】



【도 3】



【도 4】

